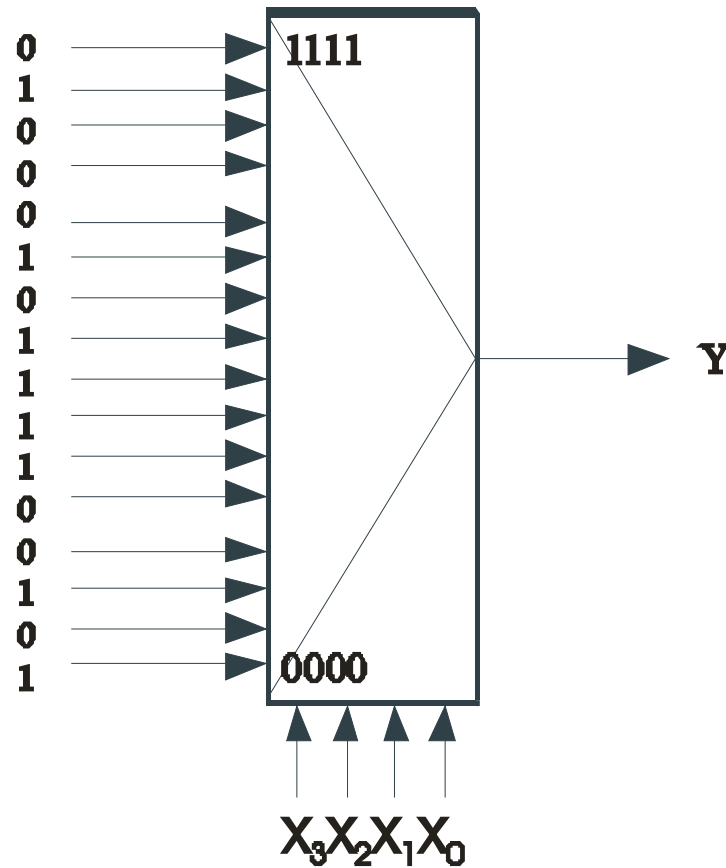


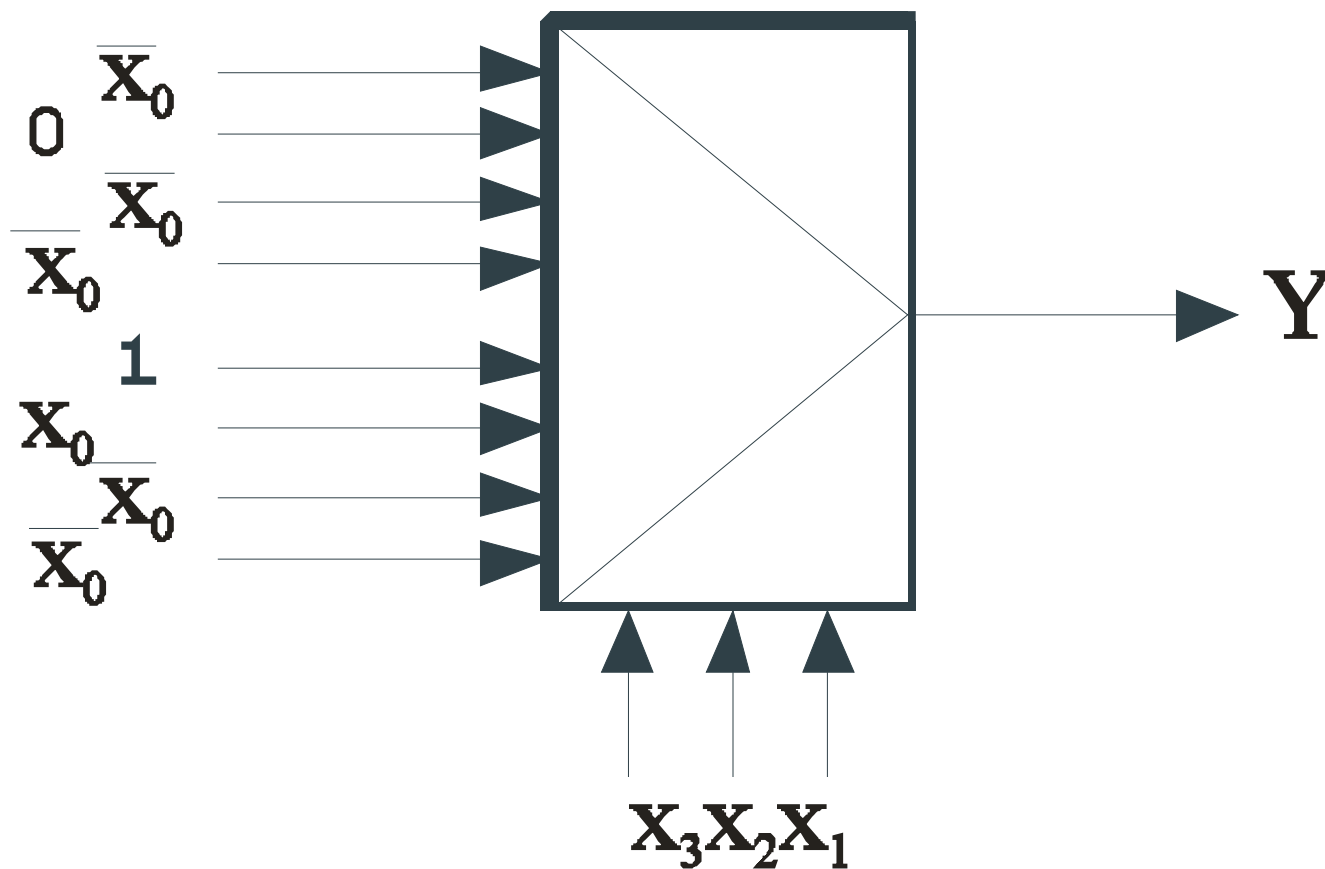
# Mapa Karnaugh'a funkcji y

$x_3x_2$ \ $x_1x_0$	00	01	11	10
00	1	0	0	1
01	0	1	1	1
11	0	0	0	1
10	1	0	0	1

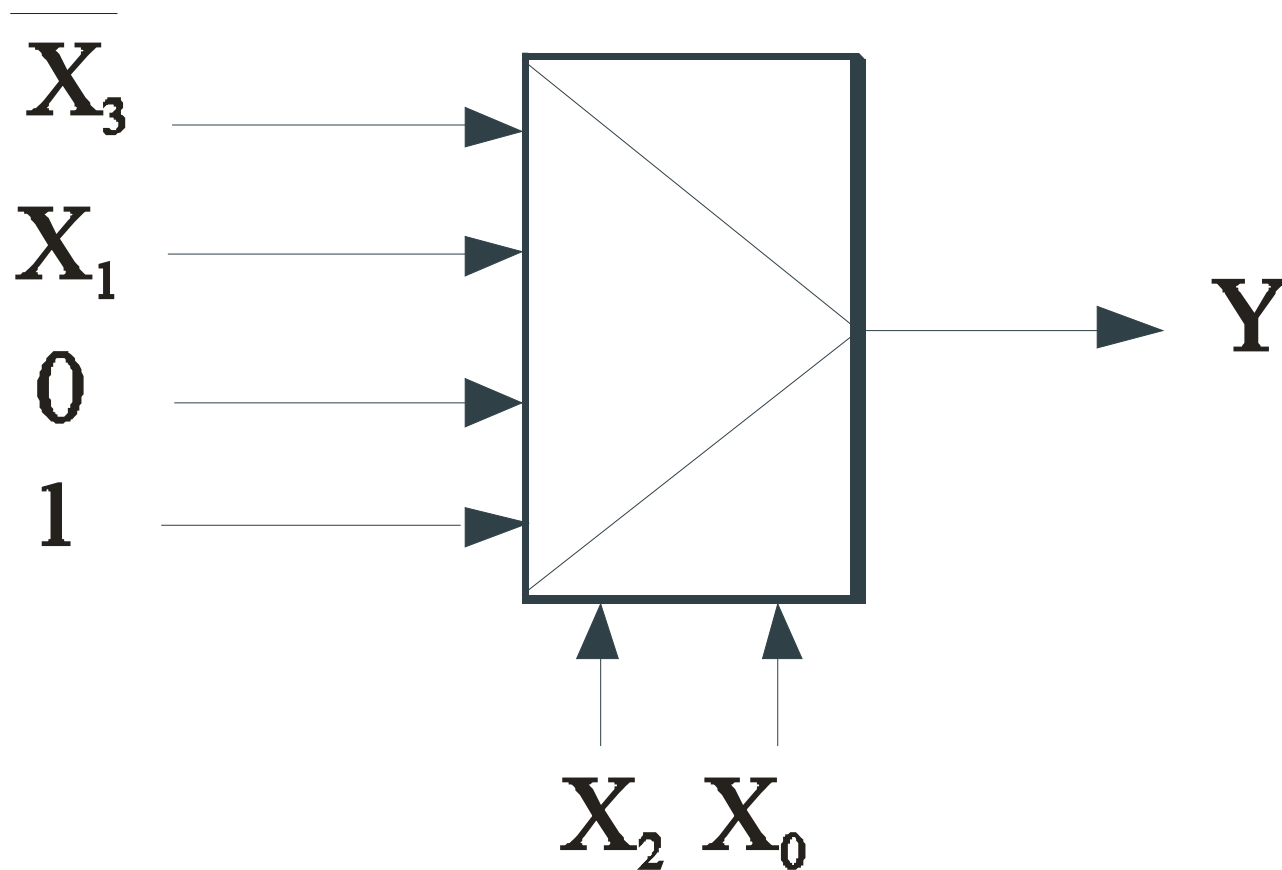
# Realizacja funkcji 4 zmiennych na multiplekserze o 4 wejściach sterujących



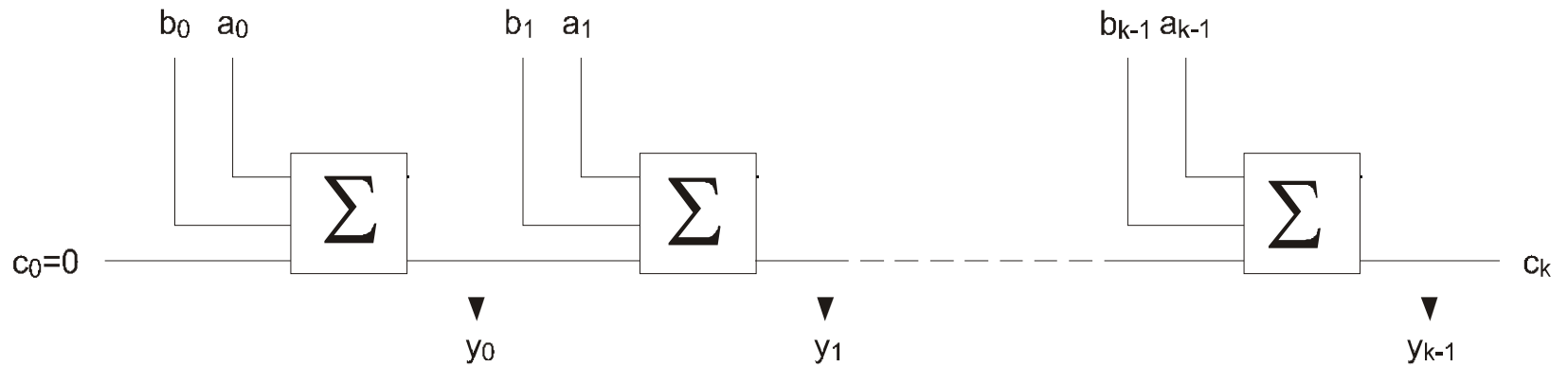
# Realizacja funkcji 4 zmiennych na multiplekserze o 3 wejściach sterujących



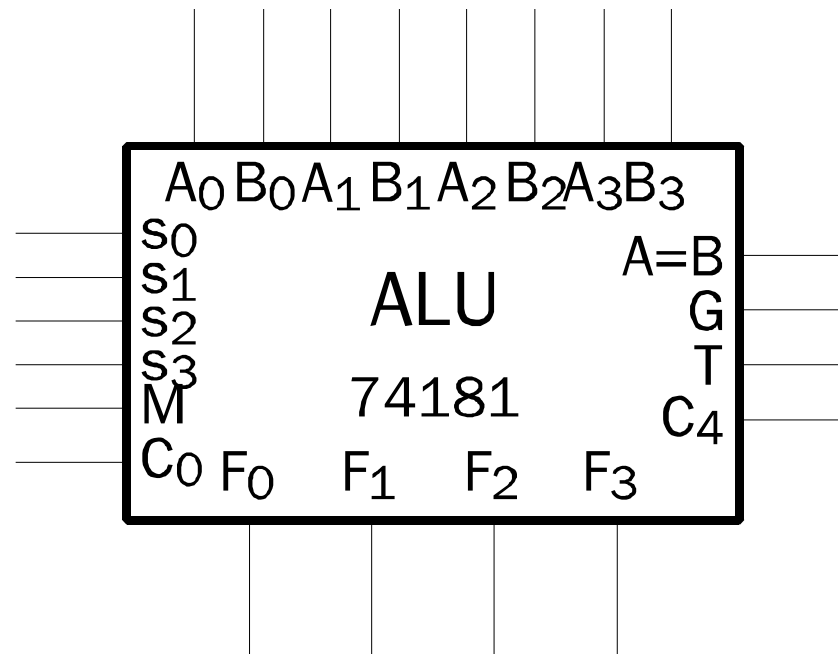
# Realizacja funkcji 4 zmiennych na multiplekserze o 2 wejściach sterujących



# ITERACYJNY UKŁAD SUMATORA



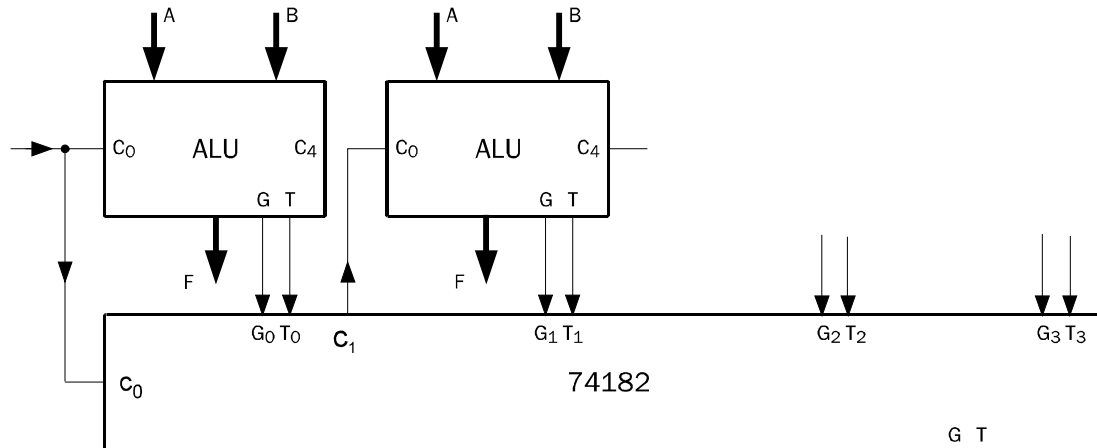
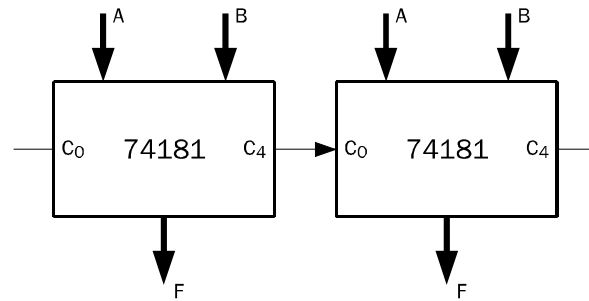
# Blok arytmetyczno-logiczny



# Wejścia i wyjścia bloku ALU

- Na wyjściach G i T pojawiają się sygnały dwóch przeniesień: tzw. przeniesienia generowanego G i tzw. przeniesienia transmitowanego T. Służą one dla równoległego wyliczenia przeniesień wszystkich stopni sumatora zbudowanego z wielu 4 bitowych układów (podobnie jak przeniesienia  $g_i$  i  $p_i$  w układzie sumatora jednobitowego).
- Na wyjściu  $A=B$  pojawia się sygnał służący do sygnalizowania równości argumentów operacji.
- Układ ma 5 wejść sterujących:  $M$ ,  $s_0 - s_3$

# Łączenie sumatorów





# Przeniesienie grupowe

$g_i$  iloczyn  $a_i$  i  $b_i$  -  $p_i$  suma  $a_i$  i  $b_i$

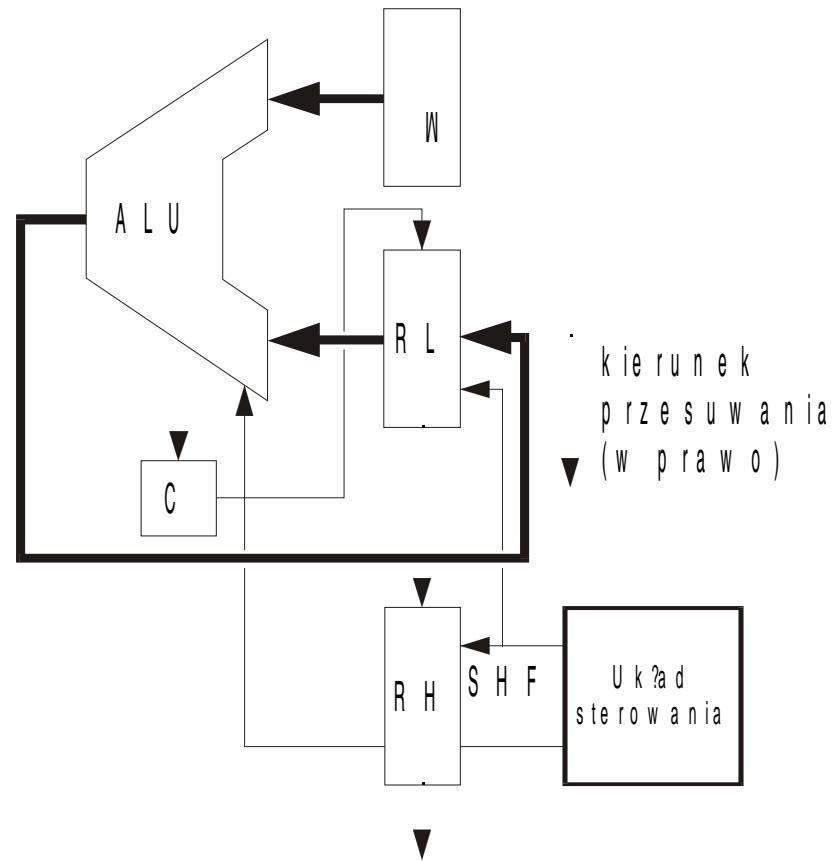
$$c_1 = g_0 + p_0 c_0$$

$$c_2 = g_1 + p_1 c_1 = g_1 + p_1 g_0 + p_1 p_0 c_0$$

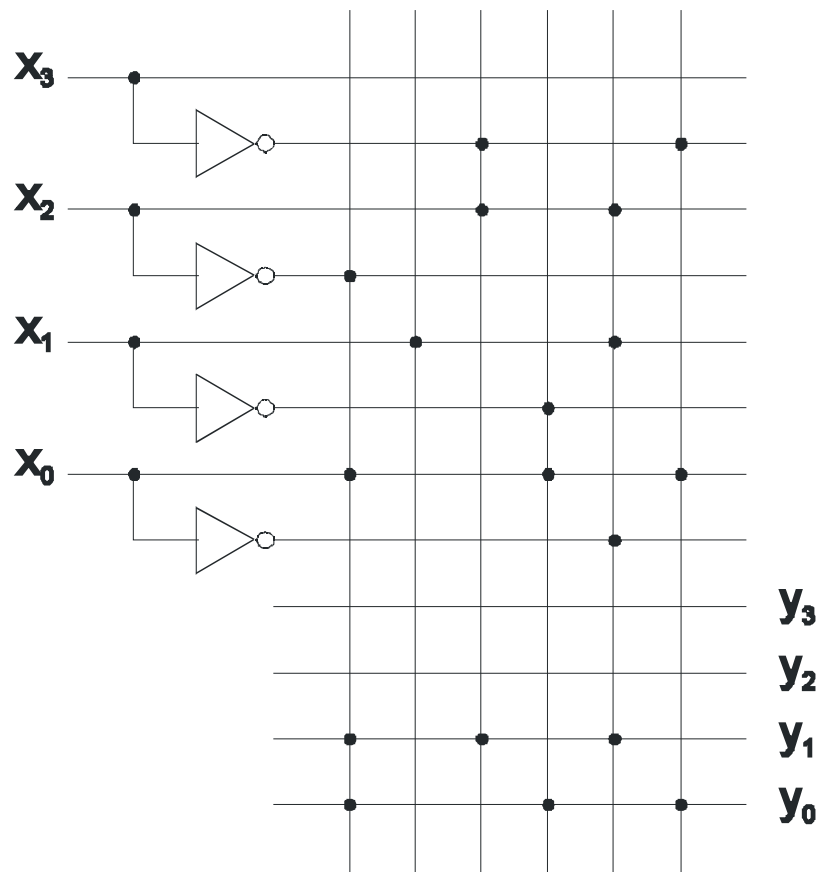
$$c_3 = g_2 + p_2 c_2 = g_2 + p_2 g_1 + p_2 p_1 g_0 + p_2 p_1 p_0 c_0$$

$$c_4 = g_3 + p_3 c_3 = g_3 + p_3 g_2 + p_3 p_2 g_1 + p_3 p_2 p_1 g_0 + p_3 p_2 p_1 c_0$$

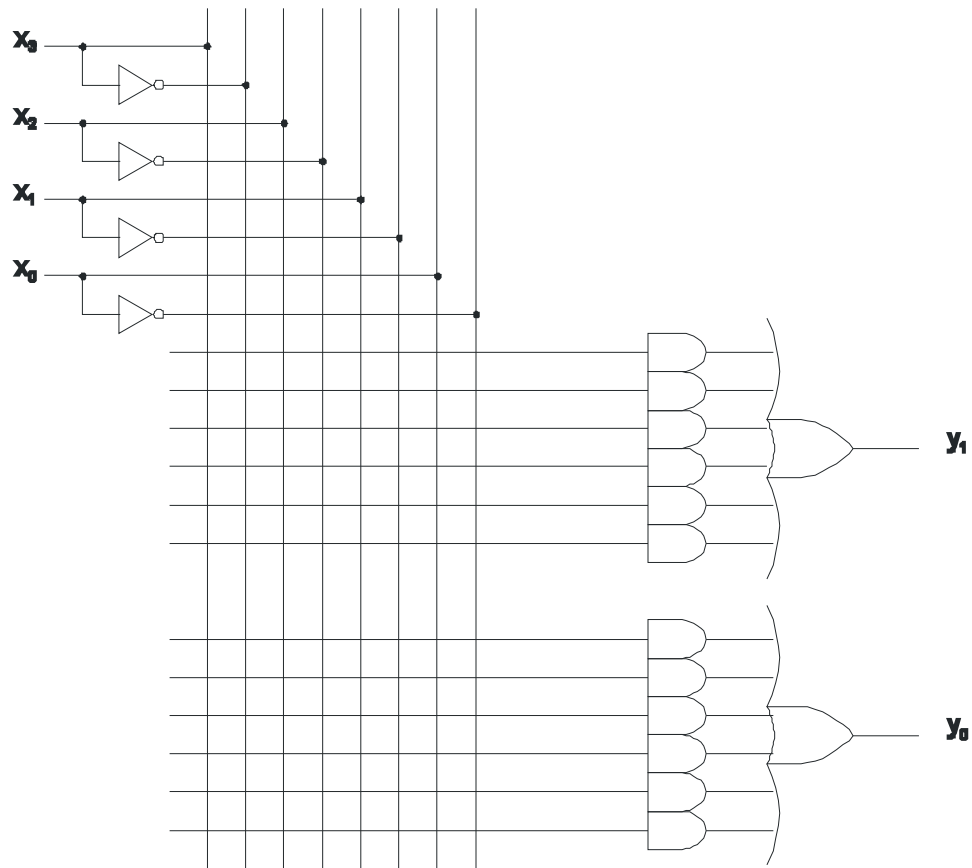
# Uproszczony schemat procesora



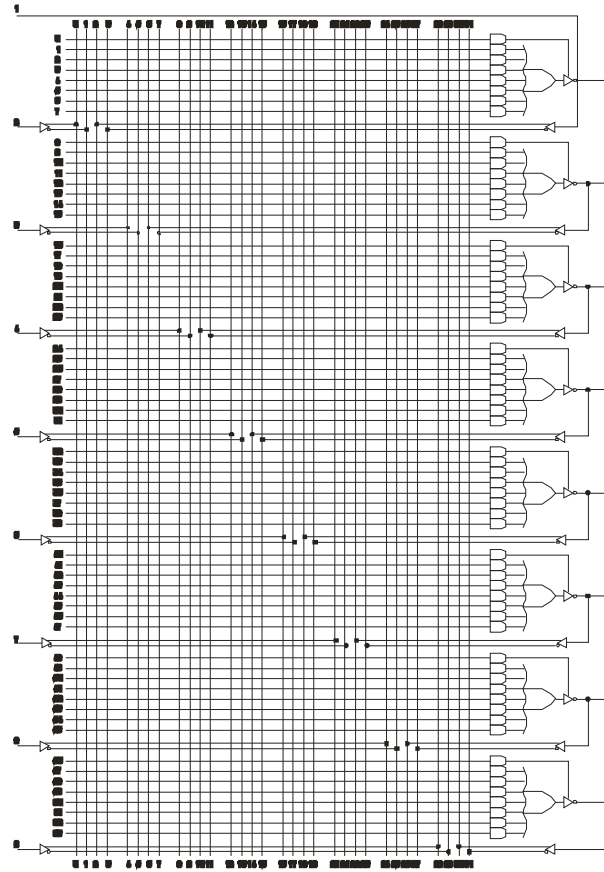
# Programowane układy matrycowe



# Zasada budowy układów PAL



# UkŁ ad PAL 16L8



# Układ FPGA

